

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-275611

(43)Date of publication of application : 22.10.1993

---

(51)Int.CL. H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60

---

(21)Application number : 04-074085 (71)Applicant : NEC CORP  
(22)Date of filing : 30.03.1992 (72)Inventor : TOBASE HIROMORI

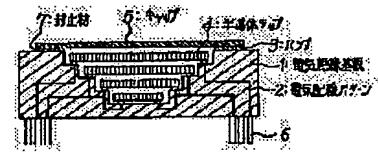
---

## (54) MULTICHP MODULE

### (57)Abstract:

**PURPOSE:** To improve mounting density, to shorten the line length of an electric wiring, to cut down the period of propagation of a signal, and to accomplish high-speed operation of a multichip.

**CONSTITUTION:** In a multichip module which is formed by housing a plurality of semiconductor chips 4 and electrically connected to an electrically insulated substrate 1 having prescribed electric wiring pattern 2, a multistage-formed recessed part is formed on the electrically insulated substrate 1, and each semiconductor chip 4 are housed in the recessed part in such a manner that they are separated with each other in vertical direction.



---

## LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2823029

[Date of registration] 04.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** The multi chip module characterized by containing two or more semiconductor chips, and forming the multistage type crevice in said electric insulation substrate in the multi chip module which comes electrically to connect said semiconductor chip with the electric insulation substrate which has a predetermined electric wiring pattern by the bump, and estranging and holding said each semiconductor chip in this crevice mutually in the vertical direction.

**[Claim 2]** The multi chip module according to claim 1 characterized by carrying out two or more formation of the crevice of a single stage and -, or \*\*\*\* horizontally, forming a multistage type crevice in the crevice formed in said electric insulation substrate, and holding said semiconductor chip in these crevices.

---

**[Translation done.]**

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Industrial Application]** This invention relates to the structure of a multi chip module where two or more semiconductor chips are contained, especially about a semiconductor device.

**[0002]**

**[Description of the Prior Art]** The conventional multi chip module is contained on the same side of the electric insulation substrate with which two or more semiconductor chips 4 have an electric wiring pattern (not shown) as shown in the sectional view of Fig. 5, said electric insulation substrate 1 and said semiconductor chip 4 are electrically connected by the metal thin line 10, and the electric wiring pattern of said electric insulation substrate 1 is electrically connected by the external lead 6.

**[0003]** They are one CPU (Central Processing Unit), one FPU (Floating Processing Unit), and one BIU (Butch Interface Unit) at structure conventionally [ this ], If it is the multi chip module which consists of a total of nine semiconductor chips of six cache memory, the magnitude of an electric insulation substrate will serve as about 85mm angle.

**[0004]**

**[Problem(s) to be Solved by the Invention]** By the way, in this conventional multi chip module, since the semiconductor chip 4 is contained by only the same field of the electric insulation substrate 1, if the number of receipt of a semiconductor chip increases, the magnitude of an electric insulation substrate

also cannot but become large. Therefore, the track length of electric wiring becomes long.

[0005] Thus, if the track length of electric wiring becomes long, the capacitance which wiring has will become large and the propagation-delay time of a signal will become large. For this reason, when high-speed operation of the multi chip module tended to be carried out, a signal stops having returned in one time amount of a clock, and there was a problem that a multi chip module would not carry out high-speed operation.

[0006] This problem was a very big problem, and the more it carried out high-speed operation, the more it had the problem that high-speed operation was not made, to the process speed of a signal increasing.

[0007] This invention was proposed in view of the technical problem of such a conventional technique, shortens the improvement in packaging density, and the track length of electric wiring in multi chip modules, such as flip chip bonding, and aims at removing the fault of the above-mentioned conventional technique.

[0008]

[Means for Solving the Problem] According to this invention, two or more semiconductor chips are contained, and the multistage type crevice is formed in said electric insulation substrate in the multi chip module which comes electrically to connect said semiconductor chip with the electric insulation substrate which has a predetermined electric wiring pattern by the bump, and the multi chip module characterized by estranging and holding said each semiconductor chip in this crevice mutually in the vertical direction is obtained.

[0009]

[Example] First, the multi chip module of the 1st example of this invention is explained. the multistage crevice where the semiconductor chip 4 was formed in the electric insulation substrate 1 which has the electric wiring pattern 2 as shown in drawing 1 -- respectively -- alienation -- it holds in the vertical direction multistage type in parallel. And the bump 3 is formed in the step which lays a semiconductor chip 4. Each semiconductor chip 4 is laid on this bump 3, and is connected with the semiconductor chips of arbitration, or the external lead 6 by the electric wiring pattern 2.

[0010] In this case, loading of a chip capacitor etc. is also possible as a semiconductor chip 4. In addition, five in drawing is a cap and 7 is a sealing agent.

[0011] Next, the multi chip module of the 2nd example of this invention is explained. As shown in drawing 2 , the multi chip module of the 2nd example forms the semiconductor chip installation section of a crevice so that a semiconductor chip 4 may be made to arrange in parallel also horizontally. In addition, it cannot be overemphasized that the arrangement or the number of the semiconductor chips 4 not only to such a lengthwise direction but a longitudinal direction are not what is limited to the thing of illustration.

[0012] according to arrangement of the semiconductor chip 4 of the 1st example, it goes up -- alike -- following -- the magnitude of a semiconductor chip -- large -- not becoming -- the magnitude of the semiconductor chip 4 carried by making it arrangement of this 2nd example although it was not able to obtain and the semiconductor chip 4 of the same magnitude has not been arranged to the same substrate -- even if various, it becomes possible to make it correspond. . .

[0013] Next, the case where a heat sink is attached in the multi chip module of this invention is explained. Drawing 3 is a sectional view at the time of attaching a heat sink 9 in the multi chip module of the 1st example. A febrile high semiconductor chip is connected to the topmost part for a heat sink 9, and said semiconductor chip and heat sink 9 are pasted up through the high temperature conductivity binder 8.

[0014] Drawing 4 is a sectional view at the time of attaching a heat sink 9 in the multi chip module of the 2nd example of this invention. When containing two or more febrile high semiconductor chips, adhesion of a heat sink is attained at two or more semiconductor chips by connecting said two or more semiconductor chips to the topmost part of the crevice of an electric insulation substrate like this example.

[0015] In addition, as an ingredient of the above-mentioned electric insulation substrate 1, although the

alumina substrate, the glass epoxy group plate, etc. are used conventionally, if it thinks from the dependability of flip chip mounting, it is appropriate to use the substrate of the trade name of a semiconductor chip and the SERAKOMU substrate marketed from IBIDEN CO., LTD. which was able to take adjustment of coefficient of thermal expansion.

[0016] As a flip chip mounting evaluation track record in a SERAKOMU substrate, the result that he has no generating of an open circuit is obtained in 1000 cycles in the 125 degrees C -- 65 degrees C heat cycle test.

[0017] According to each example of above-mentioned this invention, it is possible to make small that whose magnitude of an electric insulation substrate is about 85mm angle need to about 50mm angle extent with the conventional technique.

[0018]

[Effect of the Invention] the multistage crevice where this invention was prepared in the electric-insulation substrate which has an electric-wiring pattern as explained above — a semiconductor chip — alienation — an electric-insulation substrate can make small, the improvement in packaging density and the track length of electric wiring shorten, without receiving the limit by the magnitude and the number of the semiconductor chips carried by holding in a lengthwise direction in parallel and connecting, the signal propagation-delay time can shorten, and it is effective in closing the high-speed operation of a multi chip module, if

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the 1st example of this invention.

[Drawing 2] It is the sectional view showing the 2nd example of this invention.

[Drawing 3] It is a sectional view at the time of attaching a heat sink in the 1st example of this invention.

[Drawing 4] It is a sectional view at the time of attaching a heat sink in the 2nd example of this invention.

[Drawing 5] It is the sectional view showing the conventional multi chip module with a heat sink.

[Description of Notations]

1 Electric Insulation Substrate

2 Electric Wiring Pattern

3 Bump

4 Semiconductor Chip

5 Cap

6 External Lead

7 Sealing Agent

8 High Temperature Conductivity Binder

9 Heat Sink

10 Metal Thin Line

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-275611

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.<sup>5</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 25/065

25/07

25/18

21/60

3 1 1 S 6918-4M

H 01 L 25/08

Z

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号

特願平4-74085

(22)出願日

平成4年(1992)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者

鳥羽瀬 浩守

東京都港区芝五丁目7番1号 日本電気株式会社内

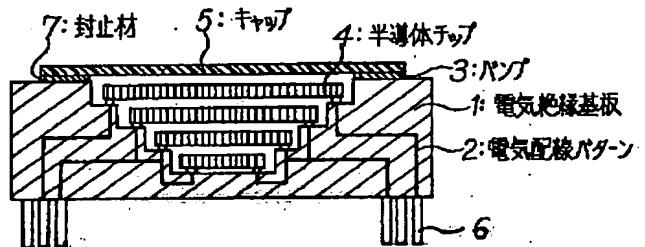
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 フリップチップ接続等のマルチチップモジュールにおいて、実装密度の向上および電気配線の線路長を短くし信号の伝播時間を短縮化し、マルチチップの高速動作化を図る。

【構成】 複数の半導体チップ4を収納し、前記半導体チップがパンプ3により所定の電気配線パターン2を有する電気絶縁基板1に電気的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板1に多段式凹部を形成し、各半導体チップ4を該凹部に上下方向に相互に離間して収容する。



(2)

1

## 【特許請求の範囲】

【請求項1】複数の半導体チップを収納し、前記半導体チップがバンプにより所定の電気配線パターンを有する電気絶縁基板に電気的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板には多段式凹部が形成されており、かつ、前記各半導体チップが該凹部に上下方向に相互に離間して収容されていることを特徴とするマルチチップモジュール。

【請求項2】前記電気絶縁基板に形成された凹部において、水平方向に単段および・または複数の凹部が複数形成されて多段式凹部を形成し、これらの凹部に前記半導体チップが収容されていることを特徴とする請求項1に記載のマルチチップモジュール。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置に関し、特に複数の半導体チップが、収納されるマルチチップモジュールの構造に関する。

## 【0002】

【従来の技術】従来のマルチチップモジュールは第5図の断面図に示すように、複数の半導体チップ4が電気配線パターン(図示せず)を有する電気絶縁基板の同一面上に収納されており、前記電気絶縁基板1と前記半導体チップ4とは、金属細線10によって電気的に接続され、前記電気絶縁基板1の電気配線パターンは、外部リード6によって電気的に接続されている。

【0003】この従来構造で例えば、CPU(Central Processing Unit)1個、FPU(Floating Processing Unit)1個、BIU(Bus Interface Unit)1個、キャッシュメモリ6個の合計9個の半導体チップで構成されるマルチチップモジュールであれば、電気絶縁基板の大きさは、約8.5mm角となる。

## 【0004】

【発明が解決しようとする課題】ところで、この従来のマルチチップモジュールでは、半導体チップ4が電気絶縁基板1の同一面のみに収納されているため、半導体チップの収納数が増えると電気絶縁基板の大きさも大きくならざるを得ない。従って電気配線の線路長が長くなる。

【0005】このように、電気配線の線路長が長くなると、配線の持つキャパシタンスが大きくなり、信号の伝播遅延時間が大きくなる。このため、マルチチップモジュールを高速動作させようとした場合、1つのクロックの時間内に信号が戻らなくなり、マルチチップモジュールが高速動作しなくなるといった問題があった。

【0006】この問題は、非常に大きな問題であり、高速動作すればするほど信号の処理スピードが上がるのに対し、高速動作ができないという問題があった。

【0007】この発明はこのような従来技術の課題に鑑

みて提案されたもので、フリップチップ接続等のマルチチップモジュールにおいて、実装密度の向上および電気配線の線路長を短くし、上記従来技術の欠点を除去することを目的とする。

## 【0008】

【課題を解決するための手段】本発明によれば、複数の半導体チップを収納し、前記半導体チップがバンプにより所定の電気配線パターンを有する電気絶縁基板に電気的に接続されてなるマルチチップモジュールにおいて、前記電気絶縁基板には多段式凹部が形成されており、かつ、前記各半導体チップが該凹部に上下方向に相互に離間して収容されていることを特徴とするマルチチップモジュールが得られる。

## 【0009】

【実施例】まず、本発明の第1実施例のマルチチップモジュールについて説明する。図1に示すように、半導体チップ4は、電気配線パターン2を有する電気絶縁基板1に設けられた多段の凹部にそれぞれ離間並行に上下方向多段式に収容されている。そして半導体チップ4を載置する段部にはバンプ3が形成されている。各半導体チップ4はこのバンプ3上に載置されており、電気配線パターン2にて、任意の半導体チップ同士、あるいは、外部リード6と接続されている。

【0010】この場合、半導体チップ4として、チップコンデンサ等の搭載も可能である。なお、図中5はキャップ、7は封止材である。

【0011】次に、本発明の第2実施例のマルチチップモジュールについて説明する。第2実施例のマルチチップモジュールは図2に示すように、水平方向にも半導体チップ4を並列させるように凹部の半導体チップ載置部を形成しておくものである。なお、このような縦方向のみではなく横方向への半導体チップ4の配置や数は図示のものに限定されるものでないことはいうまでもない。

【0012】第1実施例の半導体チップ4の配置によれば、上方に行くにしたがって半導体チップの大きさが大きくならざるを得ず、同じ大きさの半導体チップ4を同一基板に配置することができなかったが、この第2実施例の配置にすることにより、搭載される半導体チップ4の大きさ多種多様であっても対応させることができとなる。

【0013】次に、本発明のマルチチップモジュールにヒートシンクを取り付ける場合について説明する。図3は第1実施例のマルチチップモジュールにヒートシンク9を取り付けた場合の断面図である。ヒートシンク9を発熱性の高い半導体チップを最上部に接続し、前記半導体チップとヒートシンク9を高熱伝導性接着材8を介して接着したものである。

【0014】図4は、本発明の第2実施例のマルチチップモジュールにヒートシンク9を取り付けた場合の断面図である。発熱性の高い半導体チップを複数収納する場

(3)

3

合、本実施例のように電気絶縁基板の凹部の最上部に前記複数の半導体チップを接続することで、複数の半導体チップにヒートシンクを接着可能となる。

【0015】なお、上記電気絶縁基板1の材料としては、アルミナ基板及びガラスエポキシ基板等が従来より用いられているが、フリップチップ実装の信頼性から考えると半導体チップと熱膨張率の整合のとれたイビデン(株)より市販されているセラコム基板という商品名の基板を用いるのが適切である。

【0016】セラコム基板においてのフリップチップ実装評価実績として、125°C~-65°Cの温度サイクル試験にて1000サイクルで断線の発生なしという結果が得られている。

【0017】上記本発明の各実施例によれば、従来技術で電気絶縁基板の大きさが約85mm角必要であるものを、約50mm角程度まで小さくすることが可能である。

【0018】

【発明の効果】以上説明したように本発明は、電気配線パターンを有する電気絶縁基板に設けられた多段の凹部に半導体チップを離間並行して縦方向に収容して接続することで、搭載される半導体チップの大きさや数による制限を受けることなく、電気絶縁基板を小さくすること

4  
がで、実装密度の向上および電気配線の線路長を短くして信号伝播遅延時間を短くでき、マルチチップモジュールの高速動作を可能ならしめるという効果がある。

## 【図面の簡単な説明】

【図1】本発明の第1実施例を示す断面図である。

【図2】本発明の第2実施例を示す断面図である。

【図3】本発明の第1実施例にヒートシンクを取り付けた場合の断面図である。

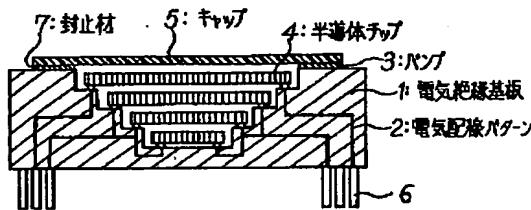
【図4】本発明の第2実施例にヒートシンクを取り付けた場合の断面図である。

【図5】従来のヒートシンク付マルチチップモジュールを示す断面図である。

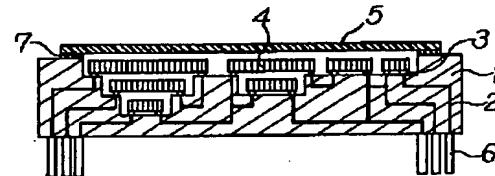
## 【符号の説明】

- 1 電気絶縁基板
- 2 電気配線パターン
- 3 パンプ
- 4 半導体チップ
- 5 キャップ
- 6 外部リード
- 7 封止材
- 8 高熱伝導性接着材
- 9 ヒートシンク
- 10 金属細線

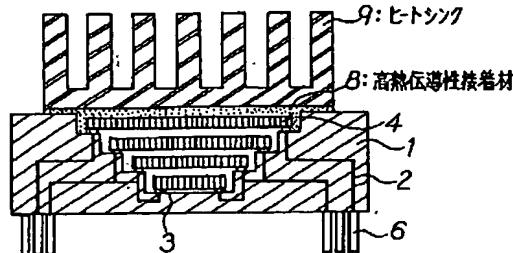
【図1】



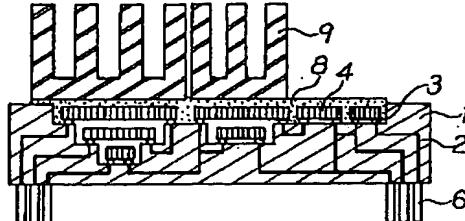
【図2】



【図3】



【図4】



(4)

【図5】

